

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326910
(43)Date of publication of application : 08.12.1998

H01L 33/00

(51)Int.Cl.

(21)Application number : 10-129000
(22)Date of filing : 12.05.1998

(71)Applicant : LEE SONG-JAE
(72)Inventor : LEE SONG-JAE

(30)Priority

Priority number : 97 9719297
97 9734722

Priority date : 19.05.1997
24.07.1997

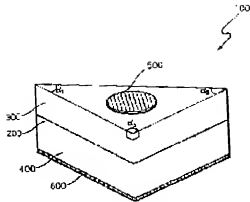
Priority country : KR
KR

(54) LIGHT-EMITTING DIODE AND LIGHT-EMITTING DIODE ARRAY LAMP USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To increase an external quantum efficiency and to retain a high emission brightness regardless of a low current, by forming, in a triangular prism shape, a drum body with a number of wall surfaces, an upper surface, and a bottom surface where photons being emitted from an active region pass.

SOLUTION: A chip 100 is formed in a triangular prism shape, an active region 200 is provided at the middle portion of the chip 100, and crystal layers 300 and 400 are provided above and below it. Then, electrodes 500 and 600 for supplying current to the active region 200 are formed at the crystal layers 300 and 400 on than upper and a lower surfaces of the chip 100. In the chip 100 with this kind of triangular sectional structure, photons that advance side by side with an active layer flat surface pass through one or more total reflection processes. However, the incident angle of the photons gradually changes and hence the photons can enter an escape region finally. Therefore, most photons have a chance for escaping toward the outside of the chip 100, thus improving external quantum efficiency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the light emitting diode which possesses the fuselage which has many the wall surfaces, the top faces, and the bases which the photon which is providing a crystal layer including an active region, and emitted light from said active region penetrates, and the electrode means with which said fuselage is equip in order to supply a current to said active region, and is characterize by for said fuselage to have the triangle pole configuration from which the cross section to the direction locate in a line to said top face or base has a triangle.

[Claim 2] Light emitting diode according to claim 1 characterized by the area of a triangular cross section increasing or decreasing one by one in the vertical direction to said top face or base at a target.

[Claim 3] Light emitting diode according to claim 2 with which any one is characterized by leaning in 20 degrees thru/ or the 70-degree range from the perpendicular direction to said top face or base at least in said wall surface.

[Claim 4] it be the light emitting diode which possess the fuselage which have many the wall surfaces , the top faces , and the bases which the photon which be that the crystal layer including an active region be had , and emitted light from said active region penetrate , and the electrode means with which said fuselage be equip in order to supply a current to said active region , and be characterize by for said fuselage to have the neighborhood column configuration where of the cross section of the direction located in a line to said top face or base have the quadrilateral which have at least one acute angle .

[Claim 5] Light emitting diode according to claim 4 characterized by the area of the cross section of a quadrilateral increasing or decreasing one by one in the vertical direction to said top face or base at a target.

[Claim 6] Light emitting diode according to claim 5 characterized by any one leaning from the vertical direction in 5 degrees thru/ or 70 degrees to said top face or base at least in the wall surface of said part which has the cross-section configuration of a quadrilateral.

[Claim 7] Light emitting diode according to claim 4 or 5 characterized by having the value any whose one angle of the cross section of the part which has the cross-section configuration of said quadrilateral is 20 degrees thru/ or 85 degrees.

[Claim 8] Light emitting diode according to claim 7 characterized by any one leaning from the vertical direction in 5 degrees thru/ or 70 degrees to said top face and base at least in a wall surface.

[Claim 9] The base and at least two LED chips which are carried in said base and have many wall surfaces, top faces, and bases. In providing two or more leads which connect said LED chip and base to the molding material which carries out molding, and said LED chip electrically Any one [at least] is a quadrilateral in which the cross section of the direction located in a line to said top face or base has a triangle or at least one acute angle in said LED chip. the luminescence diode array lamp characterized by the normal [as opposed to any one wall surface at least] side said two chips carry out mutual opposite to one datum line which passes the any selected point of each fuselage of said two adjoining LED chips leaning to a predetermined include angle to said datum line.

[Claim 10] Said LED chip is a luminescence diode array lamp according to claim 9 characterized by being three.

[Claim 11] Said LED chip is a luminescence diode array lamp according to claim 9 or 10 characterized by demonstrating two kinds of colored light which is different from each other at least.

[Claim 12] The luminescence diode array lamp according to claim 9 or 10 with which any one cross-section configuration is substantially characterized by being any one in a forward square, a direct square, a rhombus, and a triangle at least in said LED chip.

[Claim 13] Said all LED chips are luminescence diode array lamps according to claim 12 which are a rhombus and are characterized by locating both the corners of the direction of the diagonal line of any one LED chip on said datum line at least.

[Claim 14] Said all LED chips are luminescence diode array lamps according to claim 12 which are a triangle and are characterized by locating one wall surface of any one LED chip on said datum line at least.

[Claim 15] the luminescence diode array lamp according to claim 14 characterized by locating in a line

substantially said 1 of each LED chip wall surface, and arranging it to said datum line.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the luminescence diode array lamp which applied light emitting diode (LED) and this, and relates to the luminescence diode array lamp which applied the light emitting diode of a low-power mold and this whose endurance external quantum efficiency maximum-ized and improved especially.

[0002]

[Description of the Prior Art] Conventionally, LED has the chip 1 of the rectangular parallelepiped configuration which has the electrodes 5 and 6 with which an active region 2, its vertical crystal layers 3 and 4 which relate to an active region 2 physically up and down, and the crystal layer upper and lower sides were equipped in the medium, as shown in drawing 1, and said chip 1 is protected by the mould object which constitutes the appearance of light emitting diode. With the chip 1 on such a rectangular parallelepiped, according to the total reflection phenomenon which continues from the wall surface of a chip 1, most part of the photon generated from the active region 2 escapes from it, and does not come out from the interior of a chip 1. A total reflection phenomenon is incident angle θ_i of a photon. Critical angle θ_c It appears, when large.

[Equation 1]

$$\theta_c = \sin^{-1}(n_2/n_1)$$

It is n_2 at the upper formula 1. It is the refractive index of the mould object which encloses a chip 1, for example, in the case of an epoxy resin, is about about 1.5, and is n_1 . Although it is the refractive index of half-***** which has accomplished the chip 1 and a value is different from each other for every crystal layer in strict semantics, since there is generally no large difference, the refractive index of all crystal layers is considered by usually having about about 3.5 value. Critical angle θ_c by which the refractive index of a mould object was calculated here when the refractive index of 1.5 and a crystal layer was 3.5 It is about 25.4 degrees.

[0003] Drawing 2 is the top view showing an example of the progress locus inside the chip of the photon generated from the any selected point 7 of an active region 2. It is [as opposed to / in order for the photon generated from the any selected point 7 to avoid the total reflection in the wall surface 11 of a chip 1 / one wall surface] critical angle θ_c . Incidence should be carried out at the small include angle. Therefore, for a requirement for the photon which generates from a barrier layer and generally runs in the random direction to escape besides a chip 1, to one wall surface 11, a medial axis is vertical and a vertical angle is $2\theta_c$. It can be said that it emits to the interior of a cone 12.

[0004] In the conventional light emitting diode which has square chip structure as shown in drawing 1 Critical angle θ_c The photon which carried out incidence to the wall surface of a chip 1 at the large include angle is incident angle θ_i [as opposed to / even if it carries out total reflection from a wall surface 11 in primary and a progress path changes by total reflection / other wall surfaces of a chip 1] of a photon. Since it is larger than a critical angle as usual, It does not escape and come out to the exterior of a chip 1, and inside a chip, it will circulate through a photon all the time, and it will be absorbed after all.

[0005] Conclusively, for the photon generated from the point of the arbitration of an active region, a vertical angle is $2\theta_c$ in order to avoid a total reflection phenomenon, although emitted by the same probability to all directions. It can escape besides a chip of only the photon by which incidence was carried out to the escape field of cone 12 gestalt.

[0006] The ratio of the photon which appears with an output in the luminous whole photon for this reason in the case of the conventional LED has a common thing below about 20% of extent. Therefore, in order to obtain the target quantity of light, it should make the actuation current of LED increase, but there is not only a limitation in the magnitude of an actuation current, but when making an actuation current increase greatly, the endurance of LED falls.

[0007] As for the LED array lamp, one fuselage was equipped with the congener or the different-species chip beyond two, three, or it for the improvement in brightness, or the embodiment of various colored light.

[0008] If drawing 3 is referred to, the chip base 32 which carries out the role of the common connection terminal

of the LED chips 33, 34, and 35 later mentioned together with the role of a reflecting mirror as an ellipse form to the lower part side in the molding material 31 made with the transparent epoxy resin is located, and the LED chips 33, 34, and 35 are being fixed to the base of the chip base 32. Said chip base 32 is connected to the upper chips 33, 34, and 35 are being fixed to the base of the chip base 32. Said chip base 32 is connected to the upper chips 33, 34, and 35 are being fixed to the base of the chip base 32. The perimeter of said chip base 32 is equipped with the 1st, 2nd, and 3rd lead 37, 38, and 39 electrically connected to said each LED chips 33, 34, and 35. At the chip base 32 by which said three lateral electrodes [one] each of chips 33, 34, and 35, for example, cathode, were electrically connected to said common lead 36, common connection is made electrically and each ***** for example, an anode plate, is electrically connected to the 1st, 2nd, and 3rd lead 37, 38, and 39 by the metal thin line 40, for example, a gold streak.

[0009] Drawing 4 is the extract top view showing the arrangement gestalt of said chips 33, 34, and 35 fixed to said chip base 32 and its bottom. The chips 33, 34, and 35 fixed to the bottom of the chip base 32 of an ellipse form are arranged by the single tier along with straight-line V-V of arbitration so that the wall surface which carried out mutual contiguity may locate in a line and face each other.

[0010] I hear that a serious mutual intervention appears and one of the big troubles which the conventional LED array lamp of the above structures has is between the photons emitted from the wall surface countered between the adjoining LED. The problem of such a mutual intervention will become still clearer if drawing 5 which shows the typical distribution according to radiation include angle of the strength of the photon emitted from the any selected point of an LED chip wall surface is investigated. Although the distribution by the bleedoff angle of the strength of the photon emitted from the LED chip is different a little and is given by the direction of polarization of a photon, since the direction of polarization over the LED chip wall surface of a photon generally carries out the random of it, it can be referred to as following the average over TE (Transverse Electric) and TM (Transverse magnetic) polarization. One is the data that most photons are emitted on the square of the comparatively narrow range of less than 40 degrees focusing on the normal to the wall surface of an LED chip, in being observed by drawing 5. Therefore, when being arranged like the conventional LED array lamp of drawing 4 so that the wall surface of a unit LED chip may face a transverse plane mutually, it is intercepted with the chip with which most photons emitted from the wall surface which carries out mutual opposite adjoin, or it becomes impossible to avoid being absorbed consequently and the effectiveness and the brightness of an array lamp fall.

[0011] Such a mutual intervention becomes a failure element also in the embodiment of various colored light with natural lowering of brightness, when the luminescent color phase of said LED chip is the luminescence diode array lamp of a respectively different different-species LED chip. In the case of the array lamp by such different-species LED chip, the photon emitted from each LED chip is emitted to the backward exterior which passed through the mixing process by the dispersing agent usually added by said molding material. The dispersing agent contained in said molding material at this time exhausts the considerable part of a photon in order to carry out the role over which the photon emitted from the LED chip is scattered. Therefore, in order to compensate this, an LED chip should be driven with the current beyond a constant level, or the addition of a dispersing agent should be reduced, but when raising an actuation current, there is a possibility that the dependability of an LED chip may fall and a life may be shortened. The embodiment of various hues is difficult by problems, like on the other hand, when the addition of a dispersing agent becomes less, the photomixing within the molding material 31 becomes inadequate, and the hue of a lamp changes locally. In constituting the pixel by which necessary is carried out to an outdoor lightning plate from this reason, current has embodied one pixel using the approach of combining the photon emitted from the single LED lamp of the hue which busy [of the luminescence diode array lamp] cannot be carried out, instead is different from each other in the lamp exterior.

[0012]

[Problem(s) to be Solved by the Invention] The 1st object of this invention is offering the luminescence diode array lamp which applied the light emitting diode and this which external quantum efficiency's increases and have high luminescence brightness also with a low current. The 2nd object of this invention is offering the luminescence diode array lamp which applied the light emitting diode and this whose endurance's improved. The 3rd object of this invention is the number of a necessary LED chip decreasing by improvement in brightness, and offering the possible luminescence diode array lamp of a miniaturization therefore.

[0013]

[Means for Solving the Problem] The fuselage which has many the wall surfaces, top faces, and bases which the photon which emitted light from said active region as providing a crystal layer including an active region according to this invention penetrates in order to attain said object. In order to supply a current to said active region, the electrode means with which said fuselage is equipped is provided, and the light emitting diode characterized by said fuselage having the triangle pole configuration from which the cross section to the direction located in a line to said top face or base has a triangle is offered.

[0014] Moreover, the fuselage which has many the wall surfaces, top faces, and bases which the photon which is having had the crystal layer including an active region according to other types of this invention, and emitted light from said active region penetrates in order to attain said object. In order to supply a current to said active

region, the electrode means with which said fuselage is equipped is provided, and the light emitting diode characterized by said fuselage having the neighborhood column configuration where the cross section of the direction located in a line to said top face or base has a quadrilateral which has at least one acute angle is offered.

[0015] At least two LED chips which according to this invention are carried in the base and said base and have many wall surfaces, top faces, and bases in order to attain the above-mentioned object. In providing two or more leads which connect said LED chip and base to the molding material which carries out molding, and said LED chip electrically Any one [at least] is a quadrilateral in which the cross section of the direction located in a line to said top face or base has a triangle or at least one acute angle in said LED chip. As opposed to the one datum line which passes the any selected point of each fuselage of said two adjoining LED chips The luminescence diode array lamp characterized by the normal [as opposed to any one wall surface at least] side said two chips carry out mutual opposite leaning to a predetermined include angle to said datum line is offered.

[0016]

[Embodiment of the Invention] The desirable example of the luminescence diode array lamp which applied the light emitting diode and this by this invention is explained to a detail, referring to the attached drawing hereafter. The LED chip explained with a drawing below possesses an active region and its crystal layer up and down related to said active region. It is said a part of active-region mist beam crystal layer, and has the crystal layer array structure of the light emitting diode generally known. The array structure of a crystal layer can apply junction of the same kind, single hetero junction, or duplex hetero junction (doubleheterojunction or double heterostructure). Although the light emitting diode of most high brightness is based on duplex hetero junction structure, the red light emitting diode of the yellow-green of a GaP sequence and a GaAsP sequence is based on junction of the same kind or single hetero junction structure. Although various stratum fonctionale like the window layer generally contained in a light emitting diode, a current diffusion layer, a current-limiting layer, and a Bragg reflection layer is contained in LED by this invention according to a design condition or a demand and gets, it is excepted from the following drawings and explanation of an example.

[0017] As shown in <light emitting diode <example 1>> drawing 6 , a chip 100 is a triangle pole mold. The interstitial segment of said chip 100 is equipped with an active region 200, and the upper and lower sides are equipped with the crystal layer 300,400. And the electrode 500,600 as a means for supplying a current to said

crystal layer, especially an active region 200 is formed in the vertical side of a chip 100.

[0018] Drawing 7 It is the top view showing the progress locus of the photon which ran in ** and the direction which slipped out of the escape field 120 of a cone configuration in the photon generated from the any selected point 700 of an active region 200, and carried out total reflection on the wall surface 110 of the perpendicular direction of a chip 100 in 1st order. With all the drawings explained to be drawing 7 below, it is 2thetac. A photon shows the range of the incident angle which can escape from the interior of a chip 100.

[0019] drawing 7 it is alike, and as shown, the photon which carried out direct incidence to the 1st escape field 120 of a wall surface 110 in the photon which carried out outgoing radiation from the any selected point 700 has the opportunity from which it can escape to the exterior of a chip 100 promptly. And the photon which carried out incidence to the field which slipped out of the 1st escape field 120 is 1. After [degree] total reflection is carried out from the primary reflective spot 130 of one wall surface 110-like, it goes on on other wall surfaces. When the incident angle of the photon to the wall surface of others [time / this] is less than a critical angle. That is, when the photon reflected the 1st order carries out incidence to the inside of the 2nd escape field 180, it has the opportunity from which total reflection can be avoided and it can escape to the exterior of a chip 100. On the other hand, it is 1. It is the point that the incident angle of a photon [as opposed to / at a series of total reflection processes / in the description with ***** important here / a wall surface for a series of total reflection processes] changes gradually, by carrying out incidence to other wall surfaces again, and carrying out total reflection also of the 2nd reflective spot 140 all the time after degree total reflection. Therefore, if it generally passes through the total reflection process of a fixed count, as for a photon, a chip 100 to escape will be attained by carrying out incidence to the inside of the 2nd escape field 180 to which one wall surface at an include angle [after all] smaller than a critical angle. That is, with the chip which has the cross-section structure of the above triangles, the photon which runs together with a barrier layer flat surface brings about the effectiveness that have the opportunity for ***** to come to change gradually, for the incident angle of a photon to have come to be able to carry out incidence of it to the inside of the escape field 180 after all, and for most photons to escape from the total reflection process beyond 1 time or it to the exterior of a chip, and external quantum efficiency is improve. However, in the trouble which an example 1 has, I hear that the escape effectiveness of the photon by the cyclic process mentioned above becomes still minuter, and one has it, when the travelling direction of a photon slips out from the flat surface of an active region.

[0020] As shown in <example 2> drawing 8 , a chip 101 is a neighborhood column type which has the quadrilateral which is not a square, for example, the cross section which has two acute angles. Like the example mentioned above, the interstitial segment of said chip 101 is equipped with an active region 201, and it has the

crystal layers 301 and 401 up and down related to said active region 201. And the electrodes 501 and 601 as a means for supplying a current to said crystal layer, especially an active region 201 are formed in the vertical side of a chip 101. In the upper structure, the horizontal section configuration of said chip 101 is a quadrilateral which has two acute angles, as mentioned above, and it may have one or three acute angles depending on the case. [0021] Drawing 9 is the top view showing an example of the progress locus of the photon by which ran in the direction which slipped out of the escape field 120 of a cone configuration in the photon demonstrated from the any selected point 701 of an active region 201, and total reflection was carried out from the wall surface 111 of a chip 101 in 1st order.

[0022] As shown in drawing 9, the photon which carried out direct incidence to the 1st escape field 120 of a wall surface 111 in the photon by which outgoing radiation was carried out from the any selected point 701 has the opportunity from which it can escape to the exterior of a chip 101 promptly. And the photon which carried out incidence to the field which slipped out of the 1st escape field 120 is 1. After [degree] total reflection is carried out with the primary reflective spot 130 of one wall surface—like, it goes on on other wall surfaces. When the incident angle of the photon to other wall surfaces is less than a critical angle at this time, namely, when the photon reflected the 1st order carries out incidence to the inside of the 2nd escape field 180 It comes to avoid total reflection and the escape to the exterior of a chip 101 is attained., On the other hand, it is after primary total reflection the point that the incident angle of a photon [as opposed to / at a series of total reflection processes / in the description with ***** important here / a wall surface for a series of total reflection processes] changes gradually, by carrying out total reflection all the time also on the wall surface of further others. Therefore, when it generally passes through the total reflection process of a fixed count, a photon has the opportunity which can escape from a chip 101 by carrying out incidence to the inside of the 2nd escape field 180 to which one wall surface at an include angle [after all] smaller than a critical angle. That is, with the chip which has the horizontal section structure of a quadrilateral of have the two above acute angles, the photon which runs together with a barrier layer flat surface brings about the effectiveness that have the opportunity for ***** to come to change gradually, for the incident angle of a photon to have come to be able to carry out incidence of it to the inside of the escape field 180 after all, and for most photons to escape from the total reflection process beyond 1 time or it to the exterior of a chip, and external quantum efficiency is improve. However, example 2 One of the troubles which it has is that the escape effectiveness of the photon by the cyclic process mentioned above becomes still minuter that the travelling direction of a photon slips out from the flat surface of an active region.

[0023] Although it was structurally changed so that structural symmetric property was removed in the <examples 3 and 4> example 1 and an example 2 to the direction which was parallel to the active region, namely, a vertical wall surface might result in mutual **** and might not become vertical Since structural symmetric property still remains to the vertical direction to the active region, That is, since the wall surface is maintaining the vertical condition to the top face and underside of a chip, the case where the considerable part in the photon which runs at a vertical flat surface to the flat surface of an active region cannot escape to the exterior of a chip by the cyclic total reflection inside a chip occurs.

[0024] The horizontal section configuration of a chip is a triangle and drawing 10 shows the structure of a chip where the side—attachment—wall side of a chip leans at the fixed include angle to the flat surface of an active region simultaneously. Drawing 11 has the acute angle whose horizontal section configuration of a chip is two, and shows the structure of a chip where the side—attachment—wall side of a chip leans at the fixed include angle to the flat surface of an active region simultaneously. With the chip of drawing 10 and drawing 11, since the symmetric property which chip structure has also to a perpendicular direction is removed thoroughly, not only the parallel direction over a barrier layer flat surface but when the photon generated from the barrier layer runs in the direction of arbitration, the phenomenon confined in the interior of a chip by continuous total reflection does not appear. Therefore, with such structure, compared with the case where the photons generated from the barrier layer are said examples 1 and 2, it can escape now to the exterior of a chip effectively far, and external quantum efficiency improves greatly. The improvement ratio of the external quantum efficiency of the examples 3 and 4 over said examples 1 and 2 is generally shown by the lower mathematics type.

[Equation 2]

$$\eta_{imp} = \frac{n_r/n_s + \{1 - \sqrt{1 - (n_r/n_s)^2}\}/2}{5\{1 - \sqrt{1 - (n_r/n_s)^2}\}/2}$$

At the upper mathematics type 2, it is n_r . It is the refractive index of the mould object which encloses a chip, and is n_s . It is the refractive index of the crystal layer which has accomplished the chip.

[0025] In the upper example, the vertical side is located in a line with both the structure tops of the wafer for generally manufacturing a chip in the chip of the quadrilateral which has a triangle or at least one acute angle. In the case of the chip of the triangle pole mold of an example 1 and an example 3, one wall surface and one wall surface may constitute a right angle, an acute angle, or an obtuse angle. And when accomplishing an acute angle

greatly is relatively low. It is the between angle alpha 1. theta c Incident angle theta 1 which will cause total reflection on the 2nd wall surface if it is set as below Since the range is given still more greatly than the range of drawing 13 (a), it becomes disadvantageous again. Therefore, alpha 1 A lower limit can be set up like the lower mathematics type 7.

[Equation 7]

$$\alpha_1 = \theta_c \approx 25.4^\circ$$

[0032] Conclusively, it is said between angle alpha 1. The desirable range seems to be the lower mathematics type 8.

[Equation 8]

$$20^\circ < \alpha_1 < 85^\circ$$

[0033] Although the chip of the light emitting diode by this invention explained above comes to be obtained according to a general wafer processing process, in the case of said example 3 and example 4, the wall surface of a chip can incline and form in a fixed include angle to the flat surface of an active region by cutting the completed wafer including the vertical section structure of a chip into a duplex.

[0034] Moreover, although the conditions of said mathematics type 8 can be used also when determining the tilt angle of said wall surface to said examples 3 and 4, i.e., the flat surface of said active region, the principle is as having mentioned above.

[0035] Drawing 14 thru/or drawing 17 are the rough perspective views of the wafer in which the cutting direction according to a general wafer processing process, in the case of said example 3 and example 4 in the sequence is shown. 333 shows a cutting line in drawing 14 thru/or drawing 15 15.

[0036] In the above examples, the overall appearance of a chip can become a pure triangle pole mold and a neighborhood column type, as mentioned above, and it can apply structure which was mentioned above for some chips, for example, the part related to bleedoff of a photon, if needed. Such structural deformation can be based on external requirements, such as a chip size and arrangement structure of an electrode.

[0037] If the 1st example of <luminescence diode array lamp <example 1>> drawing 18 is referred to, as an ellipse form, with the role of a reflecting mirror, the chip base 832 which carries out the role of the common connection terminal of the LED chips 833, 834, and 835 mentioned later is located, and three LED chips 833, 834, and 835 are being fixed to the lower part side in the molding material 831 made with transparency or a translucent epoxy resin by the bottom of the chip base 832. Said chip base 832 is connected to the upper case of the common lead 836 located in the lower part of said molding material 831. The perimeter of said chip base 832 is equipped with the 1st, 2nd, and 3rd lead 837, 838, and 839 which connects with said each LED chips 833, 834, and 835 electrically. Common connection of said three lateral electrodes [one] each of chips 833, 834, and 835, for example, the cathode, is electrically made at the chip base 832 electrically connected to said common lead 836, and each ***** for example, an anode plate, is electrically connected to the 1st, 2nd, and 3rd lead 837, 838, and 839 by the metal thin line 840, for example, a gold streak. In the upper structure, said LED chips 833, 834, and 835 are congener or a component of a different kind, and when especially a hue is mutually different in a case of a different kind, a dispersing agent is added by said molding material 831.

[0038] Drawing 19 is the extract top view showing the arrangement gestalt of said LED chips 833, 834, and 835 fixed to said chip base 832 and this base. If drawing 19 is referred to, the cube-like LED chips 833, 834, and 835 are arranged so that each of that fuselage, especially a core may be located on arbitration datum-line V-V, and are arranged so that each of the direction of the diagonal line of each LED chips 833 and 834 and 835 grades is especially located on said arbitration straight-line V-V. Although the normal of all the opposite wall surfaces of an adjoining LED chip is maintaining the angle of 45 regularity to said arbitration datum-line V-V, since the photon of most which was emitted to the LED chip by this stops almost receiving a mutual intervention according to the above structures, it can control that loss of a photon becomes minimum-ization and the effectiveness and the luminescence brightness of an LED array lamp decrease.

[0039] Drawing 20 shows the 2nd example of the luminescence diode array lamp by this invention, and shows the configuration and arrangement gestalt of the chip base 832 and the LED chips 931, 941, and 951 fixed to the bottom of this. As shown, the LED chips 931, 941, and 951 have a rhombus-like plan type top in order to decrease the mutual intervention of a photon more efficiently, and the corner of the direction of the major-axis diagonal line of the LED chips 931, 941, and 951 is located on arbitration datum-line VI-VI.

[0040] (a) of drawing 21 thru/or (f) are the rough top views of an LED chip applicable to the luminescence diode array lamp by this invention. The LED chip of (a) of drawing 21 and (b) has the flat surface of a forward square, and orientation is different from each other. The LED chip of (c) of drawing 21 and (d) is a rhombus, and orientation is different. (e) of drawing 21 and (f) are triangles, and orientation is different similarly. Although the combination of the LED chip of such various gestalten can be carried out to various gestalten The LED chip of the shape of a forward square of drawing 21 of (a) Too the LED chip of the gestalt which could constitute the luminescence diode array combining the LED chip of the gestalt shown in (b) of drawing 21 thru/or (f), and was

shown in (b) of drawing 21 thru/or (f) respectively with many combination Or the luminescence diode array of various gestalten can be constituted combining the LED chip of other types. Although the cross sections or flat-surface configurations of an LED chip which made reference upwards are a forward square, a rhombus, and a triangle substantially, they can have the configuration of various polygons besides a direct square substantially besides this.

[0041] Drawing 22 thru/or drawing 28 show the luminescence diode array structure by three LED chips by the combination of the LED chip of the gestalt shown in (a) of drawing 21 thru/or (f).

[0042] Although three LED chips which have the flat surface of a forward square will be arranged on a straight line if the 3rd example of the luminescence diode array lamp by this invention of drawing 22 is referred to, the normal of a wall surface with which the LED chip in both sides is located on arbitration straight-line VIII-VIII, and both the corners of the direction of the diagonal line counter the LED chip of the both sides of a central LED chip is located in a line with said arbitration datum-line VIII-VIII.

[0043] Although three LED chips which have the flat surface of a forward square will be arranged on a straight line if the 4th example of drawing 23 is referred to, the normal of a wall surface with which the LED chip which exists in the center is located on arbitration datum-line IX-IX, and both the corners of the direction of the diagonal line counter the LED chip of the center of the LED chip of both sides is located in a line with said arbitration datum-line IX-IX.

[0044] If the 5th example of drawing 24 is referred to, two rhombus LED chips shown in (c) of drawing 21 will be arranged at both sides, and the LED chip of the forward square shown in the center at (a) of drawing 21 will be arranged on a straight line. At this time, both the corners of the direction of a major axis of the rhombus LED chip located in both sides are located on arbitration datum-line X-X.

[0045] Unlike the array structure of drawing 24, if the 6th example of drawing 25 is referred to, the LED chip of the rhombus which exists in the center will be arranged so that both the corners of the direction of a major axis may be located on arbitration datum-line XI-XI, and it will be arranged as the normal of the wall surface which counters the LED chip of the center of the LED chip of the forward square of both sides is located in a line with said arbitration datum-line XI-XI.

[0046] If the 7th example of drawing 26 is referred to, three triangle LED chips shown in (f) of drawing 21 are arbitration datum-line XII-XII. Although arranged at fixed spacing upwards, the normal of at least 1 wall surface is said arbitration datum-line XII-XII. It is arranged as it has stood in a line.

[0047] If the 8th and 9 example of drawing 27 and drawing 28 is referred to, the LED chip of the triangle indicated to be (e) of drawing 21 to (f) is located in both sides. The rhombus LED chip of the gestalt shown in (d) of drawing 21 is located in the center. At this time, the corner of the direction of a major axis of the rhombus LED chip of said center is located in arbitration datum-line XIII-XIII and XIV-XIV, and the normal of one wall surface of the LED chip of the triangle of both sides is said arbitration datum-line XIII-XIII and XIV-XIV. It is arranged side by side.

[0048] Although the LED chip of the triangle shown in (e) of drawing 21 R> 1 or (f) will be arranged if the 10th example of drawing 29 is referred to, to arbitration datum-line XV-XV, each one wall surface is located in a line, and is arranged.

[0049] Although the LED chip of a rhombus shown in (c) of drawing 21 R> 1 or (d) will be arranged if the 11th example of drawing 30 is referred to, for all LED chips, both the corners of the direction of the diagonal line are arbitration datum-line XVI-XVI. It stands in a line to a top, and it is arranged so that it may be located.

[0050] If the 12th example of drawing 31 is referred to, two LED chips and rhombus LED chips which have the flat surface of a forward square are arranged on the straight line, but all LED chips are arranged so that both the corners of the direction of the diagonal line may be located on arbitration datum-line XVII-XVII.

[0051] The distribution according to bleedoff angle of the strength of the photon emitted from each chip while minimizing interference between the photons emitted from the chip which adjoined by adjusting appropriately the direction of the chip which adjoined in the above example in the case of the 12th example of the 11th example of the 3rd example of drawing 22 and drawing 30 and drawing 31 etc. can be easily controlled now. There is an advantage which can acquire the distribution over the bleedoff angle of the strength of the photon of the gestalt of a wish at the same time brightness is not damaged greatly in the case of the array lamp which utilized such a property appropriately.

[0052] As mentioned above, as explained, according to this invention, the configuration of the LED chip array of very various gestalten is possible. Such various gestalten are the characteristic elements of this invention, and are possible under the concept toward which a side [said two chips carry out mutual opposite to the datum line which passes each any selected point of two adjoining LED chips] makes the normal of any 1 wall surface incline at a predetermined include angle at least.

[0053] On the other hand, the example of the various gestalten mentioned above is applying three LED chips, and is a thing for the color mold luminescence diode array lamp for various hue embodiment. However, since a brightness difference may be between the different-species hues LED, in order to conquer the brightness

difference between hues, the number of Whole LED can become more than not three but four, or it by adjusting the number of the unit LED of which Isshiki phase appropriately. Moreover, in for [instead of the object] raising the brightness of any 1 hue simply, at least the LED chip beyond two of the same kind or it of a single hue has the configuration of a luminescence diode array possible for the embodiment of various hues. It is advantageous to the improvement in light emission effectiveness to make the normal of the opposite wall surface of at least one chip into 40 degrees or more in two chips which adjoined to the arbitration datum line mentioned above on the other hand. In this case, since bleedoff of a photon is concentrated on the comparatively narrow range of less than about 40 degrees focusing on the normal of a wall surface, photon bleedoff reinforcement can minimize interference between photons to the highest direction of a normal.

[0054]

[Effect of the Invention] As mentioned above, according to this invention, by making the appearance structure of a chip transform into a triangle column type or a rhombus column type, it is made to escape to the exterior of a chip effectively, and the photon which was isolated inside the chip by the cyclic total reflection inside a chip in the case of the conventional square structure is made in an actually usable light. Therefore, the power consumption for obtaining the fixed quantity of light is conventionally low compared with light emitting diode, and an actuation current becomes very low as a result. Moreover, the life of a chip becomes long by reduction of an actuation current, and internal generation of heat is dramatically controlled by effective bleedoff of the isolated photon which is one of the heat concentration factors inside a chip.

[0055] According to above this inventions, the photon demonstrated from each LED chip can be efficiently emitted to the exterior of molding material, without disappearing under the effect of the mutual intervention during a chip. Minimization of such photon dissipation makes possible the optical extraction of brightness high under the restricted actuation current as a result. moreover, bleedoff colored light -- mutual -- difference -- since the number of the unit LED of any 1 hue can be adjusted appropriately in the case of the array lamp using a different-species LED chip, the difference of the need [of being based on the brightness difference between Units LED] actuation current can also be reduced. For example, although the LED chip for colored light of a GaP sequence has relatively low brightness compared with the red LED chip of blue LED of a GaN sequence, or a GaAs sequence, it can prevent that it is not necessary to raise the actuation current of Unit LED greatly. therefore the life of LED is shortened according to a high actuation current by increasing the number of green LED appropriately. ** [on requirement specification in order that the brightness of an array lamp may strengthen greatly generally by efficient light emission according to this invention, when two or more unit LED chips are required, it decreases the need number, therefore the magnitude of a luminescence diode array lamp becomes small as a whole]. The magnitude of the display module which loads much this further also becomes small notably.

[0056] As long as amplification of the example to the larger range is possible and this is also carried out based on the technical concept of this invention by the technical concept of this invention in addition to the example which the technical range of this invention was not restricted by the various examples explained above, and the generic claim based on the technical concept of this invention was determined, and was mentioned above, belonging to this invention is clear.

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the rough perspective view of the conventional light emitting diode chip.
- [Drawing 2] drawing 1 it is the top view showing an example of the progress locus inside the chip of the photon which was alike and was emitted from the any selected point of the active region of the shown conventional light emitting diode, and an active region.
- [Drawing 3] It is the rough perspective view of the conventional luminescence diode array lamp.
- [Drawing 4] It is the top view showing roughly the LED chip arrangement structure of the conventional luminescence diode array lamp shown in drawing 3.
- [Drawing 5] It is the diagram showing the typical distribution according to radiation include angle centering on the normal of the bleedoff side of the strength of the photon emitted from the any selected point of an LED chip wall surface.
- [Drawing 6] It is the rough perspective view of the 1st example of the light emitting diode by this invention.
- [Drawing 7] It is the top view showing the total reflection locus of the photon emitted from the any selected point of the active region of the light emitting diode by this invention shown in drawing 6, and an active region, and the escape locus of a photon.
- [Drawing 8] It is the rough perspective view of the 2nd example of the light emitting diode by this invention.
- [Drawing 9] drawing 8 it is the top view showing an example of the total reflection locus of the photon which was alike and was emitted from the any selected point of the active region of the light emitting diode by shown this invention, and an active region, and the escape locus of a photon.
- [Drawing 10] It is the rough perspective view of the 3rd example of the light emitting diode by this invention which shows deformation of the light emitting diode by this invention shown in drawing 6.
- [Drawing 11] It is the rough perspective view of the 4th example of the light emitting diode by this invention which shows deformation of the light emitting diode by this invention shown in drawing 8.
- [Drawing 12] In the examples 2 and 4 of the light emitting diode by this invention shown in drawing 8 and drawing 10, the photon by which total reflection was carried out from one wall surface is the top view of an active region showing the locus which carries out incidence to other wall surfaces.
- [Drawing 13] (a) **** (d) is a function graph which shows the escape and cutback of a total reflection field by change of the angle between two wall surfaces which adjoined.
- [Drawing 14] It is the rough perspective view of the wafer in which the cutting line of the wafer for obtaining the chip of the 1st example of the light emitting diode by this invention shown in drawing 6 is shown.
- [Drawing 15] It is the rough perspective view of the wafer in which the cutting line of the wafer for obtaining the chip of the 2nd example of the light emitting diode by this invention shown in drawing 8 is shown.
- [Drawing 16] It is the rough perspective view of the wafer in which the cutting line of the wafer for obtaining the chip of the 3rd example of the light emitting diode by this invention shown in drawing 10 is shown.
- [Drawing 17] It is the rough perspective view of the wafer in which the cutting line of the wafer for obtaining the chip of the 4th example of the light emitting diode by this invention shown in drawing 11 is shown.
- [Drawing 18] It is the rough perspective view of the 1st example of the luminescence diode array lamp by this invention.
- [Drawing 19] It is the top view showing roughly the arrangement structure of the LED chip of the 1st example of the luminescence diode array lamp by this invention shown in drawing 18.
- [Drawing 20] It is the top view showing roughly the arrangement structure of the LED chip of the 2nd example of the luminescence diode array lamp by this invention.
- [Drawing 21] (a) Or (f) is the rough top view showing an LED chip applicable to the example of the luminescence diode array lamp by this invention.
- [Drawing 22] It is the top view showing roughly the arrangement structure of the LED chip of the 3rd example of the luminescence diode array lamp by this invention.
- [Drawing 23] It is the top view showing roughly the arrangement structure of the LED chip of the 4th example of the luminescence diode array lamp by this invention.

[Drawing 24] It is the top view showing roughly the arrangement structure of the LED chip of the 5th example of the luminescence diode array lamp by this invention.

[Drawing 25] It is the top view showing roughly the arrangement structure of the LED chip of the 6th example of the luminescence diode array lamp by this invention.

[Drawing 26] It is the top view showing roughly the arrangement structure of the LED chip of the 7th example of the luminescence diode array lamp by this invention.

[Drawing 27] It is the top view showing roughly the arrangement structure of the LED chip of the 8th example of the luminescence diode array lamp by this invention.

[Drawing 28] It is the top view showing roughly the arrangement structure of the LED chip of the 9th example of the luminescence diode array lamp by this invention.

[Drawing 29] It is the top view showing roughly the arrangement structure of the LED chip of the 10th example of the luminescence diode array lamp by this invention.

[Drawing 30] It is the top view showing roughly the arrangement structure of the LED chip of the 11th example of the luminescence diode array lamp by this invention.

[Drawing 31] It is the top view showing roughly the arrangement structure of the LED chip of the 12th example of the luminescence diode array lamp by this invention.

[Description of Notations]

100 ... Chip

200 ... Active region

300,400 ... Crystal layer

500,600 ... Electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326910

(43) 公開日 平成10年(1998)12月8日

(51) Int. Cl.
H 0 1 L 33/00

識別記号

F I
H 0 1 L 33/00

A

審査請求 未請求 請求項の数15 O L (全 16 頁)

(21) 出願番号 特願平10-129000

(22) 出願日 平成10年(1998) 5月12日

(31) 優先権主張番号 9 7 - 1 9 2 9 7

(32) 優先日 1997年5月19日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 9 7 - 3 4 7 2 2

(32) 優先日 1997年7月24日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 598061645

李 成 宰

大韓民國 大田廣域市 西區 月坪2洞

222番地 ハンアルムアパート 110棟

1502號

(72) 発明者 李 成 宰

大韓民國 大田廣域市 西區 月坪2洞

222番地 ハンアルムアパート 110棟

1502號

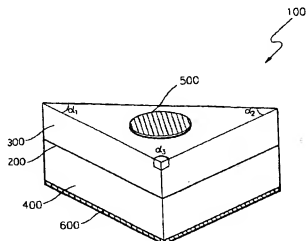
(74) 代理人 弁理士 磯野 道造

(54) 【発明の名称】 発光ダイオードとこれを適用した発光ダイオードアレイランプ

(57) 【要約】

【課題】 発光ダイオードとこれを適用した発光ダイオードアレイランプを提供する。

【解決手段】 発光ダイオードは外形的にその胴体が三角柱型または少なくとも一つの鋭角を有する四辺柱型のチップを具備し、チップ内部での全反射が抑制されて活性領域から発生した光子が最大限にチップの外部に放出される。開示されたアレイランプはベースと、前記ベースに搭載される少なくとも二つの発光ダイオードチップと、発光ダイオードチップとベースをモールドングするモールドング材と、そして発光ダイオードチップに電気的に接続する複数のリードとを具備し、相互隣接した発光ダイオードチップ各々の任意点を通して基準線に対して前記二つのチップの相互対向する側の少なくともいづれか一壁面が前記基準線に対して所定角度に傾いて配置されている構造を有する。これにより一つの発光ダイオードチップから放出した光子に対する他の発光ダイオードチップからの干渉が最小化する。



【特許請求の範囲】

【請求項1】 活性領域を含む結晶層を具備することであって前記活性領域から発光した光子が透過する多数の壁面と上面及び底面を有する胴体と、

前記活性領域に電流を供給するために前記胴体に備えられる電極手段を具備し、

前記胴体は前記上面または底面に対して並んでいる方向への断面が三角形になっている三角柱形状を有することを特徴とする発光ダイオード。

【請求項2】 三角形の断面の面積が前記上面または底面に対して垂直の方向に順次的に増加または減少することを特徴とする請求項1に記載の発光ダイオード。

【請求項3】 前記壁面の中で少なくともいずれか一つが前記上面または底面に対する垂直方向から 20° 乃至 70° 範囲で傾いていることを特徴とする請求項2に記載の発光ダイオード。

【請求項4】 活性領域を含む結晶層が備えられたことであって前記活性領域から発光した光子が透過する多数の壁面と上面及び底面を有する胴体と、

前記活性領域に電流を供給するために前記胴体に備えられる電極手段を具備し、

前記胴体は前記上面または底面に対して並んだ方向の断面が少なくとも一つの鋭角を有する四辺形になっている四辺柱形状を有することを特徴とする発光ダイオード。

【請求項5】 四辺形の断面の面積が前記上面または底面に対して垂直の方向に順次的に増加または減少することを特徴とする請求項4に記載の発光ダイオード。

【請求項6】 四辺形の断面形状を有する前記部分の壁面の中で少なくともいずれか一つが前記上面または底面に対して垂直の方向から 5° 乃至 70° の範囲で傾いていることを特徴とする請求項5に記載の発光ダイオード。

【請求項7】 前記四辺形の断面形状を有する部分の断面のいずれか一つの角が 20° 乃至 85° の値を有することを特徴とする請求項4または請求項5に記載の発光ダイオード。

【請求項8】 壁面の中で少なくともいずれか一つが前記上面と底面に対して垂直の方向から 5° 乃至 70° の範囲で傾いていることを特徴とする請求項7に記載の発光ダイオード。

【請求項9】 ベースと、前記ベースに搭載されることであって多数の壁面と上面及び底面を有する少なくとも二つのLEDチップと、前記LEDチップとベースをモールドングするモールドング材と、

そして前記LEDチップに電気的に接続する複数のリードとを具備することにおいて、

前記LEDチップの中で少なくともいずれか一つは前記上面または底面に対して並んでいる方向の断面が三角形または少なくとも一つの鋭角を有する四辺形であり、隣

接した前記二つのLEDチップの胴体各々の任意点を通過する一つの基準線に対して前記二つのチップの相互対向する側の少なくともいずれか一つの壁面に対する法線が前記基準線に対して所定角度に傾いていることを特徴とする発光ダイオードアレイランプ。

【請求項10】 前記LEDチップは3つであることを特徴とする請求項9に記載の発光ダイオードアレイランプ。

【請求項11】 前記LEDチップは少なくとも相異なる二種類の色光を発揮することを特徴とする請求項9または請求項10に記載の発光ダイオードアレイランプ。

【請求項12】 前記LEDチップの中で少なくともいずれか一つの断面形状が実質的に正四角形、直四角形、菱形及び三角形の中でいずれか一つであることを特徴とする請求項9または請求項10に記載の発光ダイオードアレイランプ。

【請求項13】 前記LEDチップは全て菱形であり、少なくともいずれか一つのLEDチップの対角線方向の両隅が前記基準線上に位置することを特徴とする請求項12に記載の発光ダイオードアレイランプ。

【請求項14】 前記LEDチップは全て三角形であり、少なくともいずれか一つのLEDチップの一壁面が前記基準線上に位置することを特徴とする請求項12に記載の発光ダイオードアレイランプ。

【請求項15】 前記LEDチップ各々の一壁面が前記基準線に対して実質的に並んで配置されることを特徴とする請求項14に記載の発光ダイオードアレイランプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光ダイオード(LED)及びこれを適用した発光ダイオードアレイランプに係り、特に、外部量子効率が高効率化して耐久性が向上した低消費電力型の発光ダイオードアレイランプに関する。

【0002】

【従来の技術】従来、LEDは、図1に示したように中間に活性領域2とその上下に活性領域2に物理的に関連される上下結晶層3、4及び結晶層上下に備えられた電極5、6を有する直六面体形状のチップ1を有し、前記チップ1は、発光ダイオードの外観を成すモールド物により保護される。このような直六面体上のチップ1では、活性領域2から発生した光子のかなりの部分が、チップ1の壁面からの連続する全反射現象によってチップ1の内部から抜け出られない。全反射現象は、光子の入射角 θ が臨界角 θ_c より大きいために現れる。

【数1】

$$\theta_c = \sin^{-1}(n_2/n_1)$$

上の式1で n_1 はチップ1を取り囲むモールド物の屈折率であって、例えばエポキシ樹脂の場合約1.5程度で

あり、 n 、はチップ1を成している半導結晶層の屈折率であって、厳密な意味では結晶層ごとに値が異なるが、一般的には大きい差がないので全ての結晶層の屈折率は普通約3.5程度の値を有することで考えられる。ここで、モールド物の屈折率が1.5、結晶層の屈折率が3.5の場合に計算された臨界角 θ_c は約25.4°である。

【0003】図2は、活性領域2の任意点7から発生した光子のチップ内部での進行軌跡の一例を示す平面図である。任意点7から発生した光子がチップ1の壁面11での全反射を避けるためには、一壁面に対して臨界角 θ より小さな角度で入射するべきである。従って、活性層から生成して一般的にランダムな方向に進行する光子がチップ1の外に脱出するための必要条件は、一壁面11に対して中心軸が垂直であり、頂角が2 θ のコーン12の内部に放出することである。

【0004】図1に示したような正方形チップ構造を有する従来の発光ダイオードでは、臨界角 θ_c より大きい角度でチップ1の壁面に入射した光子は一次的に壁面11から全反射し、全反射により進行経路が変わってもチップ1の他の壁面に対する光子の入射角 θ が臨界角より相変らず大きいため、光子は、チップ1の外部に抜け出られなくてチップ内部でずっと循環して、結局は吸収されてしまう。

【0005】結論的に、活性領域の任意の点から発生した光子は全ての方向に対して同じ確率で放出するが、全反射現象を避けるためには頂角が2 θ のコーン12形態の脱出領域に入射された光子だけがチップの外に脱出できる。

【0006】この理由により、従来のLEDの場合、発光した全体光子の中で出力で現れる光子の比率は約20%の程度以下のことが普通である。従って、目的の光量を得るためには、LEDの駆動電流を増加させるべきであるが、駆動電流の大ききには限界があるだけでなく、駆動電流を大きく増加させる場合LEDの耐久性も低下する。

【0007】LEDアレイルランプは、輝度向上または多様な色光の具現のために、一つの胴体に2つまたは3つまたはそれ以上の同種または異種チップが備えられたものである。

【0008】図3を参照すると、透明なエポキシ樹脂でできたモルディング材31内の下部側に、楕円形として反射鏡の役割と合せて後述するLEDチップ33、34、35の共通接続端子の役割をするチップベース32が位置し、チップベース32の底面には、LEDチップ33、34、35が固定されている。前記チップベース32は、前記モルディング材31の下方に位置する共通リード36の上段に接続している。前記チップベース32の周囲には、前記各LEDチップ33、34、35に電気的に接続される第1、第2、第3リード37、3

8、39が備えられている。前記3個のチップ33、34、35の各一側電極、例えば陰極は前記共通リード36に電気的に接続されたチップベース32に電気的に共通接続され、各他側電極、例えば陽極は金属細線、例えば金線40により第1、第2、第3リード37、38、39に電気的に接続される。

【0009】図4は、前記チップベース32とその底に固定された前記チップ33、34、35の配置形態を示す抜粋平面図である。楕円形のチップベース32の底に固定されたチップ33、34、35は相互隣接した壁面が並んで向き合うように任意の直線V-Vに沿って一列で配置されている。

【0010】以上のような構造の従来のLEDアレイルランプが有する大きな問題点の一つは、隣接したLED間の対向する壁面から放出された光子の間に深刻な相互干渉が現れるということである。このような相互干渉の問題は、LEDチップ壁面の任意点から放出される光子の強さの放射角度別の典型的な分布を示す図5を調べるとさらに明らかになる。LEDチップから放出された光子の強さの放出角による分布は、光子の偏波方向によって若干違って与えられるが、一般的に、光子のLEDチップ壁面に対する偏波方向がランダムするため、TE (Transverse Electric) 及びTM (Transverse Magnetic) 偏波に対する平均値に従うといえる。図5で注目されることの一つは、大部分の光子は、LEDチップの壁面に対する法線を中心として40°以内の比較的小い範囲の角で放出される事実である。従って、図4の従来のLEDアレイルランプと同じように、単位LEDチップの壁面がお互い正面向き合うように配置される場合、相互対向する壁面から放出される光子の大部分が隣接するチップにより遮断されたり吸収されることが避けられなくなり、その結果、アレイルランプの効率及び輝度が落ちる。

【0011】このような相互干渉は、前記LEDチップの発光色相が各々異なる異種LEDチップの発光ダイオードアレイルランプの場合、輝度の低下はもちろん多様な色光の具現にも障害要素となる。このような異種LEDチップによるアレイルランプの場合、各LEDチップから放出された光子は、普通前記モルディング材に添加された拡散剤による混合過程を経た後外部に放出される。この時に、前記モルディング材に含まれていた拡散剤はLEDチップから放出された光子を散乱させる役割をするため、光子の相当部分を消耗する。従って、これを補償するためには、LEDチップを一定水準以上の電流で駆動したり、拡散剤の添加量を減らすべきであるが、駆動電流を高める場合、LEDチップの信頼性が低下し寿命が短縮される恐れがある。一方、拡散剤の添加量が減る場合、モルディング材31内での光混合が不十分になってランプの色相が局部的に変わる等の問題によって、多様な色相の具現が難しい。この理由で屋外電光板

(4)

5
に所要される画素を構成することにおいて、現在は発光ダイオードアレイランプが多用でず、その代りに相異なる色相の単一LEDランプから放出された光子をランプ外部で結合させる方法を利用して一つの画素を具現している。

【0012】

【発明が解決しようとする課題】本発明の第1目的は、外部量子効率が増大して低い電流でも高い発光輝度を有する発光ダイオード及びこれを適用した発光ダイオードアレイランプを提供することである。本発明の第2目的は、耐久性が向上した発光ダイオード及びこれを適用した発光ダイオードアレイランプを提供することである。本発明の第3目的は、輝度の向上で所要LEDチップの個数が減少し、よって小型化の可能な発光ダイオードアレイランプを提供することである。

【0013】

【課題を解決するための手段】前記目的を達成するために本発明によると、活性領域を含む結晶層を具備することとして前記活性領域から発光された光子が透過する多数の壁面と上面及び底面を有する胴体と、前記活性領域に電流を供給するために前記胴体に備えられる電極手段を具備し、前記胴体は前記上面または底面に対して並んでいる方向への断面が三角形になっている三角柱形状を有することを特徴とする発光ダイオードが提供される。

【0014】また、前記目的を達成するために本発明の他の類型によると、活性領域を含む結晶層が備えられたことであって前記活性領域から発光した光子が透過する多数の壁面と上面及び底面を有する胴体と、前記活性領域に電流を供給するために前記胴体に備えられる電極手段を具備し、前記胴体は前記上面または底面に対して並んだ方向の断面が少なくとも一つの鋭角を有する四辺形になっている四辺柱形状を有することを特徴とする発光ダイオードが提供される。

【0015】上記の目的を達成するために本発明によると、ベースと、前記ベースに搭載されることであって多数の壁面と上面及び底面を有する少なくとも二つのLEDチップと、前記LEDチップとベースをモールドリングするモールドリング材と、そして前記LEDチップに電気的に接続する複数のリードとを具備することにおいて、前記LEDチップの中で少なくともいずれか一つの角または底面に対して並んでいる方向の断面が三角形または少なくとも一つの鋭角を有する四辺形であり、隣接した前記二つのLEDチップの胴体各々の任意点を通過する一つの基準線に対して前記二つのチップの相互対向する側の少なくともいずれか一つの壁面に対する法線が前記基準線に対して所定角度に傾いていることを特徴とする発光ダイオードアレイランプが提供される。

【0016】

【発明の実施の形態】以下、添付された図面を参照しな

5
6
から本発明による発光ダイオードとこれを適用した発光ダイオードアレイランプの望ましい実施例を詳細に説明する。以下で図面と共に説明されるLEDチップは、活性領域及びその上下に前記活性領域に係属する結晶層を具備する。前記活性領域もやはり結晶層の一部であって、一般的に知られた発光ダイオードの結晶層配列構造を有する。結晶層の配列構造は、例えば同種接合、単一異種接合、または二重異種接合(double heterojunction)またはdouble heterostructure)が適用できる。大部分の高輝度の発光ダイオードは、二重異種接合構造によるが、GaP系列の黄-緑色及びGaAsP系列の赤色発光ダイオードは、同種接合または単一異種接合構造による。一般的に発光ダイオードに含まれるウインド層、電流拡散層、電流制限層、そしてブラッグ反射層のような多様な機能層が設計条件や要求に従って本発明によるLEDに含めらるが、以下の図面及び実施例の説明から除外される。

【0017】<発光ダイオード>

20
<実施例1>図6に示したように、チップ100は、三角柱型である。前記チップ100の中間部分には活性領域200が備えられ、その上に結晶層300、400が備えられている。そして、チップ100の上面には前記結晶層、特に活性領域200に電流を供給するための手段としての電極500、600が形成される。

【0018】図7は、活性領域200の任意点700から発生した光子の中でコーン形状の脱出領域120を抜け出した方向に進行して、1次的にチップ100の垂直方向の壁面110で全反射した光子の進行軌跡を示す平面図である。図7以下で説明される全ての図面で、2θは、光子がチップ100の内部から脱出できる入射角の範囲を示す。

【0019】図7に示したように、任意点700から放射した光子の中で壁面110の第1脱出領域120に直接入射した光子は、直ちにチップ100の外部に脱出できる機会を有する。そして、第1脱出領域120を抜け出した領域に入射した光子は、1次的に壁面110の1次反射点130から全反射された後、他の壁面に行進する。この時に他の壁面に対する光子の入射角が臨界角以内の場合、即ち1次反射した光子が第2脱出領域180の内に入射する場合、全反射を避けることになってチップ100の外部に脱出できる機会を有する。一方、1次全反射の以後、他の壁面に再び入射して第2反射点140でもずっと全反射されることによって一連の全反射過程を繰り返すが、ここで、重要な特徴は、一連の全反射過程で壁面に対する光子の入射角が次第に変わっていく点である。従って、一般的に一定の回数の全反射過程を経ると、結局臨界角より小さな角度でどの壁面に対する第2脱出領域180の内に入射することによって、光子は、チップ100から脱出が可能になる。即

7
ち、前記のような三角形の断面構造を有するチップでは、活性層平面に並んで進行する光子は1回またはそれ以上の全反射過程を経るが、光子の入射角が漸進的に変わっていくようになって、大部分の光子がチップの外部に射出できる機会を有して外部量子効率改善される効果をもたらす。しかし、実施例1が有する問題点の中で一つは、前述した循環過程による光子の射出効果が、光子の進行方向が活性領域の平面から抜け出すことによって益々微小になるということである。

【0020】<実施例2>図8に示したように、チップ101は、正方形でない四辺形、例えば二つの鋭角を有する断面を有する四辺形状である。前述した実施例と同じように、前記チップ101の中間部分には活性領域201が備えられ、その上下に前記活性領域201に係る結晶層301、401が備えられている。そして、チップ101の上下面には、前記結晶層、特に活性領域201に電流を供給するための手段としての電極501、601が形成される。上の構造において、前記チップ101の水平断面形状は、前述したように二つの鋭角を有する四辺形であり、場合によっては一つまたは三つの鋭角を有している。

【0021】図9は、活性領域201の任意点701から発せられた光子の中でコーン形状の射出領域120を抜け出した方向に進行されて、1次的にチップ101の壁面111から全反射された光子の進行軌跡の一例を示す平面図である。

【0022】図9に示したように、任意点701から射出された光子の中で壁面111の第1射出領域120に直接入射した光子は、直ちにチップ101の外部に射出できる機会を有する。そして、第1射出領域120を抜け出した領域に入射した光子は、1次的に一壁面の1次反射点130で全反射された後、他の壁面に進行する。この時、他の壁面に対する光子の入射角が臨界角以内の場合、即ち1次反射された光子が第2射出領域180の内に入射する場合、全反射を避けるようになってチップ101の外部への射出が可能になる。一方、1次全反射の以後、さらに他の壁面でもずっと全反射されることによって一連の全反射過程を経るが、ここで、重要な特徴は、一連の全反射過程で壁面に対する光子の入射角が次第に変わる点である。従って、一般的に一定の回数の全反射過程を経ると、結局臨界角より小さな角度でどの壁面に対する第2射出領域180の内に入射されることによって、光子は、チップ101から射出できる機会を有する。即ち、前記のような二つの鋭角を有する四辺形の水平断面構造を有するチップでは、活性層平面に並んで進行する光子は1回またはそれ以上の全反射過程を経るが、光子の入射角が漸進的に変わっていくようになって、結局は射出領域180の内に入射できるようになっていて大部分の光子がチップの外部に射出できる機会

を有して外部量子効率が改善される効果をもたらす。しかし、実施例2が有する問題点の一つは、前述した循環過程による光子の射出効果が、光子の進行方向が活性領域の平面から抜け出すのに益々微小になることである。

【0023】<実施例3、4>実施例1と実施例2においては、活性領域に平行した方向に対しては構造的対称性が除去されて、即ち垂直方向の壁面が相互並んでいたり垂直にならないように構造的に変更されたが、活性領域に対して垂直の方向に対しては構造的な対称性がまだ残っているため、即ちチップの上面と下面に対して壁面が垂直の状態を維持しているため、活性領域の平面に対して垂直の平面に進行する光子中の相当部分がチップ内部での循環的な全反射によりチップの外部に射出できない場合が発生する。

【0024】図10は、チップの水平断面形状が三角形であり、同時にチップの側壁面が活性領域の平面に対して一定の角度で傾いているチップの構造を示す。図11は、チップの水平断面形状が二つの鋭角を有し、同時にチップの側壁面が活性領域の平面に対して一定の角度で傾いているチップの構造を示す。図10と図11のチップでは、活性層平面に対する平行した方向だけでなく垂直方向に対してもチップ構造が有する対称性が完全に除去されているため、活性層から発生された光子が任意の方向に進行する場合にも連続的な全反射によってチップ内部に閉じ込められる現象は現れない。従って、このような構造では、活性層から生成された光子が前記実施例1と2の場合に比べてはるかに効果的にチップの外部に射出できるようになって外部量子効率が大きく改善する。前記実施例1と2に対する実施例3と4の外部量子効率の改善比率は、大体下の数式で示される。

【数2】

$$\eta_{mp} = \frac{n_r/n_s + \{1 - \sqrt{1 - (n_r/n_s)^2}\} / 2}{5\{1 - \sqrt{1 - (n_r/n_s)^2}\} / 2}$$

上の数式2で、 n_r はチップを取り囲むモールド物の屈折率であり、 n_s はチップを成している結晶層の屈折率である。

【0025】上の実施例において、三角形または少なくとも一つの鋭角を有する四辺形のチップにおいて、上下面は、一般的にチップを製作するためのウェーハの構造上相互に並んでいる。実施例1と実施例3の三角柱型のチップの場合、一壁面と一壁面が直角、鋭角または鈍角を成す場合もある。そして、実施例2と実施例4の四辺形のチップの場合、隣接した壁面同士に鋭角を成す場合、この角は20°乃至85°に設定することが望ましい。

【0026】図12は、任意点701から発生した光子が1番目の第1次反射点130に臨界角 θ_c より大きい角度 θ で壁面に入射した後、2番目の壁面に50度角に入射する軌跡を示す。2番目の壁面に対する光子の

(6)

9

入射角 θ_1 は、下の数式3で示す。

【数3】

$$\theta_2 = \alpha_1 - \theta_1$$

上の数式3で、 α_1 は前記隣接した二つの壁面間の間角である。上の式によると、 θ_2 は α_1 と θ_1 の関数で与えられるので、 α_1 を適切に調節して θ_2 の絶対値を臨界角 θ_c より小さくさせる。この場合、たとえば1番目の壁面で全反射された光子としても、2番目の壁面では全反射を避けることを意味する。数3の関係式の間角 α_1 を媒介変数として表示すると、図13(a)乃至図13(d)に示したような関数グラフを得る。図13(a)は $\alpha_1 = \pi/2$ の場合を示したものであって、従来の発光ダイオードはこの場合に属するといえる。

【0027】図13(a)の $\alpha_1 = \pi/2$ の場合の最も大きな問題は、下の数式4に与えられるように、比較的大い範囲(図13(a)で陰影で表示された領域)の入射角 θ_1 に対して2番目の壁面での入射角 θ_2 の絶対値が臨界角 θ_c より大きくなって全反射を避けられなくなる。

【数4】

$$\theta_c < \theta_1 < \pi/2 - \theta_c$$

【0028】即ち、数式4の条件で入射した光子は、1番目の壁面でももちろん2番目壁面でも全反射を避けられなくなる。もし、従来の発光ダイオードのように平断面の残りの三つの間角が全て $\pi/2$ 、即ち直四角形の場合、一回全反射された光子は循環的な全反射によりチップの外部に抜け出られなくなって、結局はチップ内部で吸収される。図13(c)と図13(d)は間角 α_1 を $\pi/2$ 以下に設定した場合を表示したものであって、全反射領域(陰影で表示された領域)が大きく減少されることが分かる。特に、図13(c)のように α_1 を $2\theta_c$ ($\alpha_1 = 2\theta_c$) に設定すると下のような式5と同じように、比較的大い範囲の θ_1 に対してだけ光子が2番目の壁面で全反射するようになる。

【数5】

$$3\theta_c < \theta_1 < \pi/2$$

【0029】しかし、実際の発光ダイオードにおいては、大部分の光子が活性領域の中央部分から生成されるため、1番目の壁面に対する入射角 θ_1 が $3\theta_c$ ($=76.1^\circ$) 以上の値を有する確率が非常に少ないといえる。

【0030】従って、大部分の光子が、1番目の壁面と、それとも2番目の壁面で全反射条件を避ける。一方、図13(d)のように、 α_1 を $2\theta_c$ 以下に比較的小さく選択すると、2番目の壁面で全反射現象を起こす、即ち θ_2 の絶対値が臨界角より大きく与えられる θ_1 の領域が再び拡大して不利になり始める。以上で分かるように、チップの平断面の間角を正當な大きさの鋭角で設定すると、活性領域で発生した光子を効率的にチップ外部に脱出させるようになるが、その効果を極大

化させる間角 α_1 の上限値と下限値は前述した図13(b)と図13(d)に基づいて決定できる。間角 α_1 の上限値の場合、図13(b)の陰影領域が図13(a)の最大陰影領域の約75%水準以上になる時は改善効果が微小なことに判断できるので、 α_1 の上限値はおよそ下記の数式6のように決定できる。

【数6】

$$\alpha_1 = 0.75\pi/2 + 2\theta_c \times 0.25 \approx 80.2^\circ$$

【0031】一方、 α_1 の下限値は θ_c に設定できる。

間角を $\alpha_1 = \theta_c$ に設定すると、2番目の壁面で全反射を起こす θ_2 の幅が図13(a)の場合と同一に $\pi/2 - 2\theta_c$ に与えられるが、図13(a)の場合に比べてはるかに有利といえる。その原因は、前述したようにチップで光子が主に活性領域の中央部分から生成されるので入射角 θ_1 が大きく与えられる確率が相対的に低いからである。もし間角 α_1 を θ_c 以下に設定すると、2番目の壁面で全反射を起こす入射角 θ_1 の範囲が図13(a)での範囲よりさらに大きく与えられるため、再び不利になる。従って、 α_1 の下限値は下の数式7のように設定できる。

【数7】

$$\alpha_1 = \theta_c \approx 25.4^\circ$$

【0032】結論的に、前記間角 α_1 の望ましい範囲は下の数式8のようである。

【数8】

$$20^\circ < \alpha_1 < 85^\circ$$

【0033】以上で説明された本発明による発光ダイオードのチップは、一般的なウェハー加工工程により得られるようになるが、前記実施例3と実施例4の場合はチップの垂直断面構造を含んでいて完成されたウェハーを二重にカッティングすることによって、チップの壁面が活性領域の平面に対して一定角度に傾いて形成できる。

【0034】また、前記数式8の条件は前記実施例3と4、即ち前記活性領域の平面に対する前記壁面の傾斜角を決定する時にも使用できるが、その原理は前述した通りである。

【0035】図14乃至図17は、その順序で実施例1乃至実施例4を得るためのウェハーのカッティング方向を示すウェハーの概略的な斜視図である。図14乃至図15で333は、カッティングラインを示す。

【0036】以上のような実施例において、チップの全体的な外形は前述したように純粋な三角柱型、四辺柱型になることができ、必要に応じてチップの一部分、例えば光子の放出に関係する部分にだけ前述したような構造が適用できる。このような構造的な変形はチップの大きさ、電極の配置構造など外部的要件によることもありうる。

【0037】<発光ダイオードアレイランプ>

<実施例1>図18の第1実施例を参照すると、透明または半透明なエポキシ樹脂でできたモルディング材8

31内の下部側に、楕円形として反射鏡の役割と共に、後述するLEDチップ833、834、835の共通接続端子の役割をするチップベース832が位置し、チップベース832の底に3個のLEDチップ833、834、835が固定されている。前記チップベース832は、前記モルディング材831の下部に位置する共通リード836の上段に接続されている。前記チップベース832の周囲には、前記各LEDチップ833、834、835に電氣的に接続する第1、第2、第3リード837、838、839が備えられている。前記3個のチップ833、834、835の各一侧電極、例えば陰極は前記共通リード836に電氣的に接続したチップベース832に電氣的に共通接続され、そして、各他側電極、例えば陽極は金属細線、例えば金線840により第1、第2、第3リード837、838、839に電氣的に接続される。上の構造において、前記LEDチップ833、834、835は同種または異種の素子であり、異種の場合、特に色相が相互に相違する場合、前記モルディング材831に拡散剤が添加される。

【0038】図19は、前記チップベース832とこの底面に固定した前記LEDチップ833、834、835の配置形態を示す抜粋平面図である。図19を参照すると、立方体状のLEDチップ833、834、835は、その各側面、特に中心が任意基準線V-V上に位置するように配置され、特に、各LEDチップ833、834、835等の対角線方向の隅が前記任意基準線V-V上に位置する。上のような構造によると、隣接するLEDチップの全ての対向壁面の法線が前記任意基準線V-Vに対して一定45度の角を維持しているが、これによりLEDチップに放出された大部分の光子が相互干渉をほとんど受けなくなるので、光子の損失が極小化になってLEDアレイランプの効率及び発光輝度が減少することが抑制できる。

【0039】図20は、本発明による発光ダイオードアレイランプの第2実施例を示すものであって、チップベース832とこの底に固定されたLEDチップ931、941、951の形状及び配置形態を示す。示したように、LEDチップ931、941、951は、光子の相互干渉をより効率的に減少させるために菱形の平面形状を有し、LEDチップ931、941、951の長軸対角線方向の隅が任意基準線VI-VI上に位置している。

【0040】図21の(a)乃至(f)は、本発明による発光ダイオードアレイランプに適用可能なLEDチップの概略的な平面図である。図21の(a)と(b)のLEDチップは、正四角形の平面を有するものであって、配置方向が異なる。図21の(c)と(d)のLEDチップは、菱形であって、配置方向が違う。図21の(e)と(f)は、三角形であって、同じように配置方向が違う。このような多様な形態のLEDチップを多

様な形態に組合わせできるが、図21の(a)の正四角形状のLEDチップは、図21の(b)乃至(f)に示した形態のLEDチップと組合わせて発光ダイオードアレイが構成でき、やはり、図21の(b)乃至(f)に示した形態のLEDチップは各々多数個の組合わせにより、または、他の種類のLEDチップと組合わせて多様な形態の発光ダイオードアレイが構成できる。上に言及したLEDチップの断面または平面形状は、実質的に正四角形、菱形、三角形であるが、この以外にも実質的に直四角形の他にも様々な多角形の形状を有することができ

【0041】図22乃至図28は、図21の(a)乃至(f)に示した形態のLEDチップの組合わせによる3個のLEDチップによる発光ダイオードアレイ構造を示す。

【0042】図22の本発明による発光ダイオードアレイランプの第3実施例を参照すると、正四角形の平面を有する3個のLEDチップが一直線上に配置されるが、両側にあるLEDチップは対角線方向の隅隅が任意直線VIII-VIII上に位置し、中央のLEDチップの両側のLEDチップに対向する壁面の法線は前記任意基準線VIII-VIIIに並んでいる。

【0043】図23の第4実施例を参照すると、正四角形の平面を有する3個のLEDチップが一直線上に配置されるが、中央にあるLEDチップは対角線方向の隅隅が任意基準線IX-IX上に位置し、両側のLEDチップの中央のLEDチップに対向する壁面の法線は前記任意基準線IX-IXに並んでいる。

【0044】図24の第5実施例を参照すると、図21の(c)に示した二つの菱形LEDチップが両側に配置され、その中央に図21の(a)に示した正四角形のLEDチップが一直線上に配置される。この時、両側に位置する菱形LEDチップの長軸方向の隅隅が、任意基準線X-X上に位置する。

【0045】図25の第6実施例を参照すると、図24のアレイ構造とは違い、中央にある菱形のLEDチップが長軸方向の隅隅が任意基準線XI-XI上に位置するように配置され、両側の正四角形のLEDチップの中央のLEDチップに対向する壁面の法線が前記任意基準線XI-XIに並んでいるように配置される。

【0046】図26の第7実施例を参照すると、図21の(f)に示した三つの三角形LEDチップが任意基準線XII-XII上に一定間隔で配置されるが、少なくとも一壁面の法線が前記任意基準線XII-XIIに並んでいるように配置される。

【0047】図27と図28の第8、9実施例を参照すると、図21の(e)と(f)に示した三角形のLEDチップが両側に位置し、その中央に図21の(d)に示した形態の菱形LEDチップが位置し、この時、任意基準線XIII-XIII、XIV-XIVに前記中央の菱形LEDチ

ップの長軸方向の隅が位置し、両側の三角形のLEDチップの一面面の法線が前記任意基準線XIII-XIII、XIV-XIVに並んで配置される。

【0048】図29の第10実施例を参照すると、図21の(e)または(f)に示した三角形のLEDチップが配置されるが、各々の一面面が任意基準線XV-XVIに対して並んで配置されている。

【0049】図30の第11実施例を参照すると、図21の(c)または(d)に示す変形のLEDチップが配置されるが、全てのLEDチップが対角線方向の隅隅が任意基準線XVI-XVIに上に対して並んで位置するように配置されている。

【0050】図31の第12実施例を参照すると、正四角形の平面を有する2個のLEDチップと菱形LEDチップが一直線上に配置されているが、全てのLEDチップが対角線方向の隅隅が任意基準線XVII-XVII上に位置するように配置されている。

【0051】以上の実施例において、図22の第3実施例、図30の第11実施例、そして図31の第12実施例等の場合、隣接したチップの方向を適切に調節することによって隣接したチップから放出された光子間の干渉を最小化する一方、各々のチップから放出された光子の強さの放出角別の分布を容易に制御できるようにする。このような特性を適切に活用したアレイランプの場合、輝度が大きく損傷されないと同時に、望みの形態の光子の強さの放出角に対する分布を得られる利点がある。

【0052】以上、説明したように本発明によると、非常に多様な形態のLEDチップアレイの構成が可能である。このような多様な形態は、本発明の特徴的な要素であって、隣接した二つのLEDチップの各任意点を通過する基準線に対して前記二つのチップの相互対向する側の少なくともいずれか一面面の法線を所定角度に傾斜させる概念下で可能である。

【0053】一方、前述した多様な形態の実施例は、3個のLEDチップを適用することであって、多様な色相具現のためのカラー型発光ダイオードアレイランプのためのものである。しかし、異種色相LED間に輝度差がありえるため、色相間の輝度差を克服するために、どの一色相の単位LEDの個数を適切に加減することによって、全体LEDの個数は3つではなく4つまたはそれ以上になりうる。また、多様な色相の具現が目的でなく単純にいずれか一色相の輝度を上げるための場合には、単一色相の同種の2つまたはそれ以上のLEDチップだけでも発光ダイオードアレイの構成が可能である。一方、前述した任意基準線に対して隣接した二つのチップの中で少なくとも一つのチップの対向壁面の法線を40°以上させることが光放出効率向上に有利である。この場合、光子の放出は壁面の法線を中心として約40度以内の比較的狭い範囲に集中するため、光子放出強度が最も高い法線方向に対して光子間の干渉を最小化できるよう

になる。

【0054】

【発明の効果】以上のように本発明によると、チップの外観構造を三角形柱型または菱形柱型に変形させることによって、従来の正方形構造の場合チップ内部での循環的な全反射によりチップ内部に孤立していた光子をチップの外部に効果的に脱出させて実際使用可能な光に作る。従って、一定の光量を得るための消費電力が従来発光ダイオードに比べて低くて、結果的に駆動電流が非常に低くなる。また、駆動電流の減少によりチップの寿命が長くなり、チップ内部の熱集中要因中の一つである孤立した光子の効果的な放出により、内部発熱を非常に抑制する。

【0055】以上のような本発明によると、各LEDチップから発揮された光子をチップ間の相互干渉の影響により消滅することなく効率的にモールドング材の外部に放出できる。このような光子消滅の最小化は、結果的に、制限された駆動電流下で高い輝度の光放出を可能にさせる。また、放出色光が互いに異なる異種LEDチップを用いたアレイランプの場合、いずれか一色相の単位LEDの個数を適切に加減できるため、単位LED間の輝度差による必要駆動電流の差も減らされる。例えば、GaP系列の色光用LEDチップはGaAs系列の青色LEDやGaAs系列の赤色LEDチップに比べて相対的に輝度が低いが、緑色LEDの個数を適切に増やすことによって単位LEDの駆動電流を大きく高める必要がないし、従って、高い駆動電流によってLEDの寿命が短縮することを防止できる。本発明によると効率的な光放出によりアレイランプの輝度が全般的に大きく強化するため、要求仕様上二つ以上の単位LEDチップが必要な場合にその必要個数を減少させ、従って、全体として発光ダイオードアレイランプの大きさが小さくなるし、さらにはこれを多数積載するディスプレイモジュールの大きさも顕著に小さくなる。

【0056】本発明の技術的範囲は以上で説明された多様な実施例により制限されなく、本発明の技術的な概念に立脚した請求範囲により決定され、前述した実施例の以外に本発明の技術的な概念によってより広い範囲への実施例の拡大が可能であり、これもまた本発明の技術的な概念を基にするかぎり本発明に属することは明らかである。

【図面の簡単な説明】

【図1】従来の発光ダイオードチップの概略的な斜視図である。

【図2】図1に示す従来の発光ダイオードの活性領域及び活性領域の任意点から放出された光子のチップ内部での進行軌跡の一例を示す平面図である。

【図3】従来の発光ダイオードアレイランプの概略的な斜視図である。

【図4】図3に示す従来の発光ダイオードアレイランプ

の L E D チップ配置構造を概略的に示す平面図である。

【図 5】 L E D チップ壁面の任意点から放出された光子の強さの放出面の法線を中心とした放射角度別の典型的な分布を示す線図である。

【図 6】 本発明による発光ダイオードの第 1 実施例の概略的な斜視図である。

【図 7】 図 6 に示す本発明による発光ダイオードの活性領域及び活性領域の任意点から放出された光子の全反射軌跡及び光子の脱出軌跡を示す平面図である。

【図 8】 本発明による発光ダイオードの第 2 実施例の概略的な斜視図である。

【図 9】 図 8 に示す本発明による発光ダイオードの活性領域及び活性領域の任意点から放出された光子の全反射軌跡及び光子の脱出軌跡の一例を示す平面図である。

【図 10】 図 6 に示す本発明による発光ダイオードの変形を示す本発明による発光ダイオードの第 3 実施例の概略的な斜視図である。

【図 11】 図 8 に示した本発明による発光ダイオードの変形を示す本発明による発光ダイオードの第 4 実施例の概略的な斜視図である。

【図 12】 図 8 と図 10 に示す本発明による発光ダイオードの実施例 2 と 4 において、一壁面から全反射された光子が他の壁面に入射する軌跡を示す活性領域の平面図である。

【図 13】 (a) 及び (d) は隣接した二つの壁面間の開角の変化による全反射領域の拡張及び縮小を示す関数グラフである。

【図 14】 図 6 に示す本発明による発光ダイオードの第 1 実施例のチップを得るためのウェーハのカッティングラインを示すウェーハの概略的な斜視図である。

【図 15】 図 8 に示す本発明による発光ダイオードの第 2 実施例のチップを得るためのウェーハのカッティングラインを示すウェーハの概略的な斜視図である。

【図 16】 図 10 に示す本発明による発光ダイオードの第 3 実施例のチップを得るためのウェーハのカッティングラインを示すウェーハの概略的な斜視図である。

【図 17】 図 11 に示した本発明による発光ダイオードの第 4 実施例のチップを得るためのウェーハのカッティングラインを示すウェーハの概略的な斜視図である。

【図 18】 本発明による発光ダイオードアレイランプの第 1 実施例の概略的な斜視図である。

【図 19】 図 18 に示す本発明による発光ダイオードアレイランプの第 1 実施例の L E D チップの配置構造を概

略的に示す平面図である。

【図 20】 本発明による発光ダイオードアレイランプの第 2 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 21】 (a) 乃至 (f) は本発明による発光ダイオードアレイランプの実施例に適用できる L E D チップを示す概略的な平面図である。

【図 22】 本発明による発光ダイオードアレイランプの第 3 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 23】 本発明による発光ダイオードアレイランプの第 4 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 24】 本発明による発光ダイオードアレイランプの第 5 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 25】 本発明による発光ダイオードアレイランプの第 6 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 26】 本発明による発光ダイオードアレイランプの第 7 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 27】 本発明による発光ダイオードアレイランプの第 8 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 28】 本発明による発光ダイオードアレイランプの第 9 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 29】 本発明による発光ダイオードアレイランプの第 10 実施例の L E D チップの配置構造を概略的に示す平面図である。

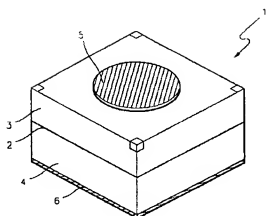
【図 30】 本発明による発光ダイオードアレイランプの第 11 実施例の L E D チップの配置構造を概略的に示す平面図である。

【図 31】 本発明による発光ダイオードアレイランプの第 12 実施例の L E D チップの配置構造を概略的に示す平面図である。

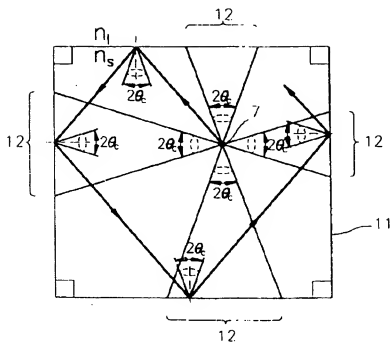
【符号の説明】

100・・・チップ
200・・・活性領域
300、400・・・結晶層
500、600・・・電極

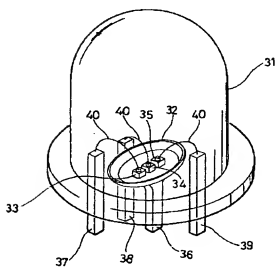
【図1】



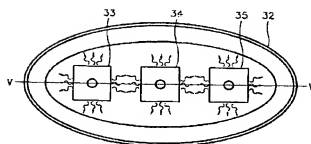
【図2】



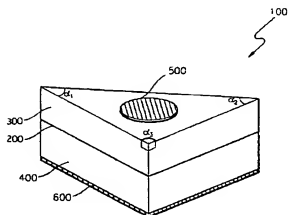
【図3】



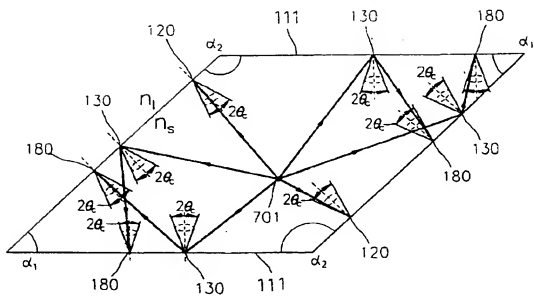
【図4】



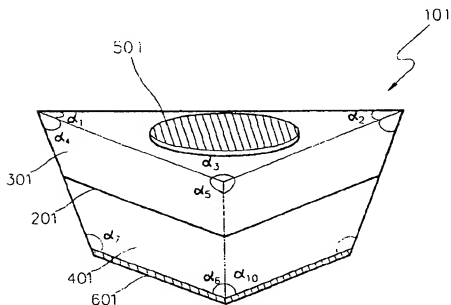
【図6】



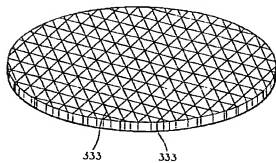
【図9】



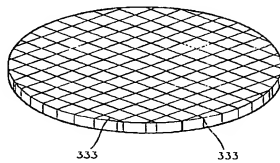
【図10】



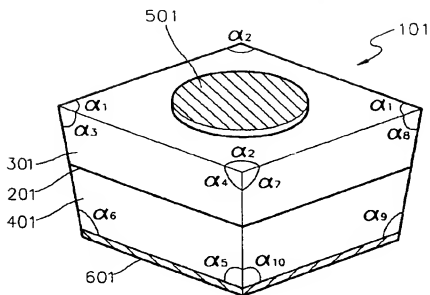
【図14】



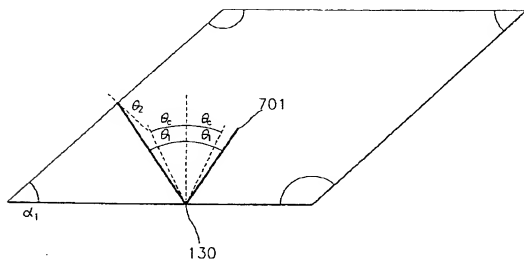
【図15】



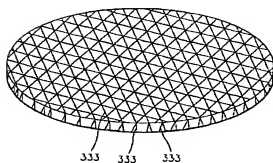
【図11】



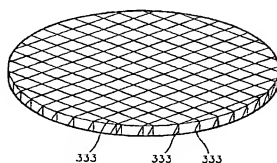
【図12】



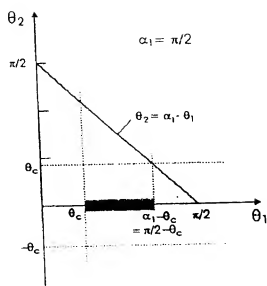
【図16】



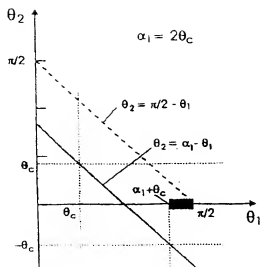
【図17】



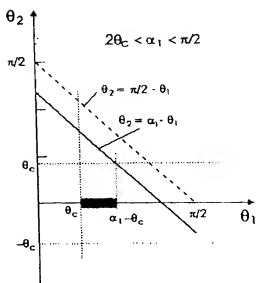
【図 13】



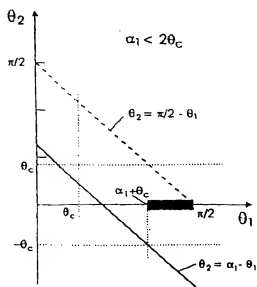
(a)



(c)

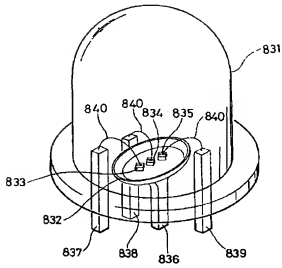


(b)

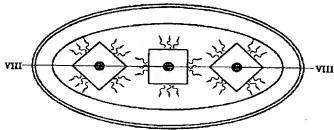


(d)

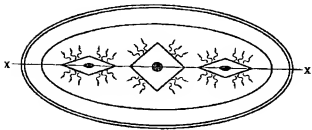
【図18】



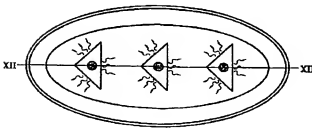
【図22】



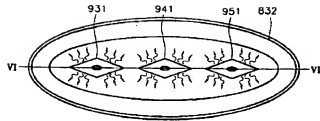
【図24】



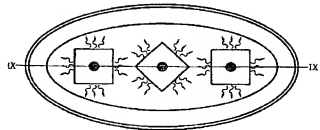
【図26】



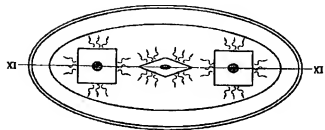
【図20】



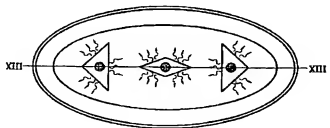
【図23】



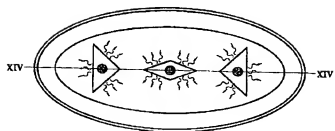
【図25】



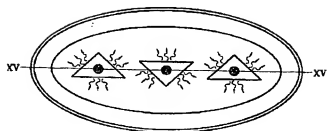
【図27】



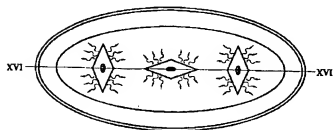
【図28】



【図29】



【図30】



【図31】

